

⑫ 公開特許公報(A)

昭61-245007

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月31日

G 01 B 11/30
G 01 N 21/88
G 06 K 9/00
H 01 L 21/66
H 04 N 7/18

8304-2F
7517-2G
C-8320-5B
7168-5F
7245-5C

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 欠陥検査装置

⑮ 特 願 昭60-86382

⑯ 出 願 昭60(1985)4月24日

⑰ 発 明 者 小 畑 修 高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑰ 発 明 者 江 尻 正 員 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑰ 発 明 者 依 田 晴 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑰ 発 明 者 酒 匂 裕 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑰ 発 明 者 坂 本 雄 三 郎 高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 欠陥検査装置

特許請求の範囲

1. 被検査体の欠陥をその画像パターンに基づいて検査する欠陥検査装置であって、被検査体から電気的に読みとられた入力画像パターンから欠陥候補部分を荒抽出する第1の欠陥判定手段と、この第1の欠陥抽出手段によって荒抽出された欠陥候補部分の画像パターンに対してだけ詳細な欠陥の判定を行う第2の欠陥抽出手段とを備えたことを特徴とする欠陥検査装置。
2. 上記第1の欠陥抽出手段は、2つの被検査体の互いに対応する部分の画像パターンを相互に比較して両者の一致度から欠陥候補の荒抽出を行うように構成され、上記第2の欠陥抽出手段は、辞書パターンを参照することにより第1の欠陥抽出手段によって荒抽出された部分の画像パターンの詳細な欠陥の判定を行うように構成されたことを特徴とする特許請求の範囲第1項記載の欠陥検査装置。

発明の詳細な説明

〔技術分野〕

この発明は、検査技術さらには画像パターンによる欠陥検査に適用して特に有効な技術に関するもので、例えば半導体集積回路が形成された半導体チップの欠陥検査の利用にして有効な技術に関するものである。

〔背景技術〕

例えば半導体集積回路が形成された半導体チップのパターン検査では、その半導体チップの画像パターンを電気的に読取り、この読取画像パターンから欠陥の判定・抽出を行う。

この場合、その欠陥の判定・抽出手段には、大きく分けて2とおりある。

その一つは、入力画像パターンと基準パターンとを1対1で対応させて比較し、両者の一致度から一律に欠陥の判定を行う。この場合、その判定の基準は一律であって、一定以上の不一致はすべて欠陥とみなされる。

今一つは、各部分ごとにそれぞれに登録された

多数の辞書パターンを使用し、この辞書パターンを参照することにより各入力画像パターンごとの欠陥の状態を詳細に判定する。この場合は、その判定の基準が入力画像パターンの位置や種類などに応じて多様に変化し、また欠陥をその種類に分けて詳細に判定することを行う。

前者のものでは、欠陥の検出を高速で行うことができるが、判定の基準が一体であるため、その検査はどうしても大雑把にならざるを得ず、このため良品までも不良品と判定してしまうことが多い、という問題点があった。

他方、後者のものでは、多数の辞書パターンの参照などにより欠陥の判定が非常に適切かつ正確に行われるという利点があるが、その判定の処理時間が長くなり、従って量産工程において多量の被検査体の欠陥を検査する用途には適合させ難い、という問題点があった。

以上のように、従来のこの種の欠陥検査装置には検査の速度と精度とを両立させることが難しい、という問題点のあることが本発明者によって明ら

かとされた。

なお、この種の欠陥検査装置にて利用され得るパターン認識技術については、例えば日経マグローウヒル社刊行の「日経メカニカル1982.6.21」77～79頁などに記載されている。

〔発明の目的〕

この発明の目的は、入力画像パターンに基づく欠陥の検査を迅速かつ高精度に行うことができる欠陥検査技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものを簡単に説明すれば、下記のとおりである。

すなわち、欠陥候補を荒抽出するだけの第1の手段と、欠陥を詳細に判定する第2の手段とを備えるとともに、第1の手段で抽出された欠陥候補だけを第2の手段で詳細に判定することにより、欠陥の検査を迅速かつ高精度に行うことができる

ようにする、という目的を達成するものである。

〔実施例〕

以下、この発明の代表的な実施例を図面を参照しながら説明する。

なお、図面において同一符号は同一あるいは相当部分を示す。

第1図はこの発明による欠陥検査装置の一実施例を示す。

同図に示す装置は、被検査体の欠陥をその画像パターンに基づいて検査する欠陥検査装置であって、被検査体から電気的に読みとられた入力画像パターンから欠陥候補部分を荒抽出する第1の欠陥判定手段と、この第1の欠陥抽出手段によって荒抽出された欠陥候補部分の画像パターンに対してだけ詳細な欠陥の判定を行う第2の欠陥抽出手段とを備えたことを特徴とする。

第1図において、1は例えば半導体集積回路が形成された半導体チップのごとき被検査体、2はCCDあるいは撮像管などを用いた画像入力装置、3は画像入力装置2にて読み取った画像信号20

をデジタル化するA/D変換器を示す。21はそのデジタル化された画像信号を示す。

また、4は欠陥荒抽出部を示す。この欠陥荒抽出部4は前は記第1の欠陥抽出部に相当するものであって、2つの被検査体の互いに対応する部分の画像入力パターンを相互に比較し、両者の不一致度から欠陥候補の荒抽出を行う。22はこの欠陥荒抽出部4が欠陥候補を検出・抽出したときの判定出力を示す。この判定出力22が出力されると、位置検出回路5が荒抽出された欠陥候補の位置を検出する。そして、この検出位置データセレクタ8を介して全体制御装置(CPU)9に入力されて記憶されるようになっている。全体制御装置9はCPU(マイクロ・コンピュータ)を用いて構成されている。27はこの全体制御装置9からデータセレクタ8を介して入出力されるデータ27を示す。

6は欠陥詳細抽出部、7は特徴抽出比較回路を示す。この欠陥詳細抽出部6と特徴抽出比較回路7は前記第2の欠陥抽出部に相当するものであ

て、辞書パターンを参照することにより上記欠陥荒抽出部4によって抽出された部分の画像パターンの詳細な欠陥の判定を行う。欠陥詳細抽出部6には、詳細は後述するが、辞書画像メモリや信号正規化回路などが含まれている。特徴抽出比較回路7は、入力画像パターン24と辞書登録された画像パターン25のそれぞれの特徴を抽出して相互に比較することにより欠陥の詳細な判定処理を行う。この特徴抽出比較回路26の出力26はデータセクタ8を介して上記全制御装置9へ送られるようになっている。

10は同期信号発生器であって、所定の同期信号H、Vなどを発生して各部に与える。Hは水平同期信号、Vは垂直同期信号を示す。この同期信号H、Vに同期して画像が読み込まれる。この同期信号発生回路10は上記全制御装置9からの指令28に基づいて動作する。

11はXYステージであって、この上に半導体ウエハーなどの被検査体1が載置される。このXYステージ11は上記同期信号発生器10からの

り、その加算回路402は、画像信号の入力回ごとに、前回の入力画像信号と今回の画像信号との差をとって出力する。この差は絶対値変換回路403にてその絶対値がとられる。この差の絶対値21'はデジタル比較回路404にて基準のしきい値と大小比較され、この比較結果が前記判定出力22(第1図)として出力されるようになっている。

第3図は上記欠陥詳細抽出部5の詳細を示す。

同図に示すように、欠陥詳細抽出部6は、デジタル比較回路601、しきい値テーブル602、辞書画像メモリ603等によって構成される。

同図において、デジタル比較回路601としきい値テーブル602は入力画像信号21を比較処理するための正規化を行う。しきい値テーブル602は例えばROMなどを用いて構成され、所定範囲のレベルを切り出すために上限と下限の2つのしきい値61、62を有する。その2つのしきい値61、62の各レベルは、制御装置9からの指令に基づいてそれぞれに選定された。

同期信号Fにより、被検査体1の送り動作を画像の読取りに同期して行うようになっている。画像入力装置2は被検査体1の一部しか読みとらないが、XYステージ11がXY方向の送り動作を行うことにより、その被検査体1の全体を走査して読取れるようになっている。

第2図は上記欠陥荒抽出部4の詳細を示す。

同図に示すように、欠陥荒抽出部4は、画像メモリ401、デジタル加算回路402、絶対値変換回路403、デジタル比較回路404、しきい値設定レジスタ405、信号選択回路406、および論理反転回路407などによって構成される。

同図において、デジタル化された入力画像信号21は、その信号によって表される画像パターンが画像メモリ401上にビットパターンの形で記憶させられるとともに、デジタル加算回路402の一方の加算入力(+)に入力される。このデジタル加算回路402の他方の加算入力(+)には、前回に入力された画像信号が論理反転回路407を介して入力されるようになっている。これによ

次に動作について説明する。

第4図は上述した装置の動作を示す。

同図において、s2~s5までのステップでは、前記第1の欠陥抽出手段としての動作が行われる。すなわち、このs2~s5では、2つの被検査体の互に対応する部分の画像パターンを相互に単純比較して両者の一致度から欠陥候補の荒抽出を行う処理が実行される。なお、s1は初期化を行うためのルーチンで、実質の処理はs2~s5のループにて行われる。

また、s10では前記第2の欠陥抽出手段としての動作が行われる。すなわち、このs10では、多数の辞書パターンを参照することにより画像パターンの詳細な欠陥の判定を行う処理を実行する。

ここで、s2~s5のループノ実行を所定回数繰り返して、その間に一回も欠陥候補が検出されなければ、s8のフラグチェック(F=1?)により、s10が実行されることなく、検査が終了する。

ところが、そのs2~s5のループ実行中に一

図でも欠陥候補が検出されると、分岐ルーチン 6、7 が実行されて、フラグ F が 1 にセットされ、さらにその欠陥候補の出た位置が記憶される。そして、8 2 ~ 8 5 のループが所定回数実行された後で、8 8 のフラグチェックにより、8 1 0 による第 2 の欠陥抽出ルーチンが実行されるようになる。このとき、その第 2 の欠陥抽出ルーチンでは、8 7 にて記憶した位置の欠陥候補だけを詳細な判定処理にかける。これにより、すべての入力画像パターンに対して詳細な判定処理を行わずとも、欠陥を含むかも知れない一部画像パターンに対してだけ詳細な判定処理を行うだけでもって、実質的にすべての入力画像に対して詳細な欠陥判定を行ったのと同じ結果を得ることができる。

以上のようにして、入力画像パターンに基づく欠陥の検査を迅速かつ高精度に行うことができる。

なお、8 2 ~ 8 5 による第 1 の欠陥抽出と 8 1 0 による第 2 の欠陥抽出は、制御装置の制御プログラムによって、その何れか一方だけを任意に選択して実行させるようにもできる。

〔効果〕

(1) 欠陥候補を荒抽出するだけの第 1 の手段と、欠陥を詳細な判定する第 2 の手段とを備えるとともに、第 1 の手段で抽出された欠陥候補だけを第 2 の手段で詳細に判定することにより、欠陥の検査を迅速かつ高精度に行うことができる、という効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以上、本発明者によってなされた発明をその背景となった利用分野である判読体チップのパターン検査技術に適用した場合について説明したが、それに限定されるものではなく、例えばプリント基板あるいはその他の印刷物のパターン検査技術などにも適用できる。

図面の簡単な説明

第 1 図はこの発明による欠陥検査装置の一実施

例を示すブロック図。

第 2 図は第 1 図の一部を詳細に示すブロック図、

第 3 図は第 1 図の他の部分を詳細に示すブロック図。

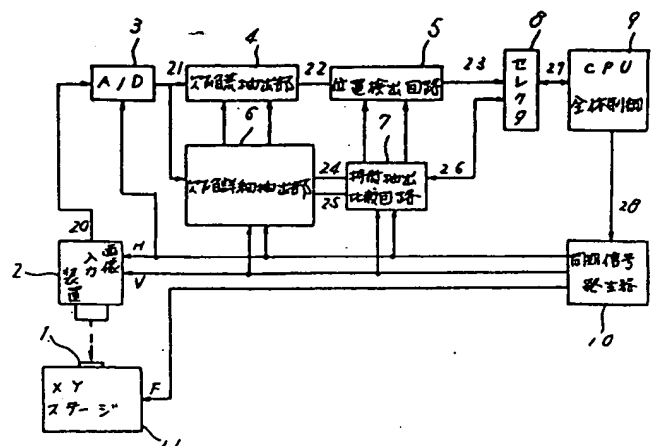
第 4 図は第 1 図に示した装置の動作を示すフローチャートである。

1 …被検査体、2 …画像入力用装置、4 …第 1 の欠陥抽出手段としての欠陥荒抽出部、5 …位置検出回路、6 …第 2 の欠陥抽出手段としての欠陥詳細抽出部、7 …特徴抽出比較回路、9 …全体制御装置。

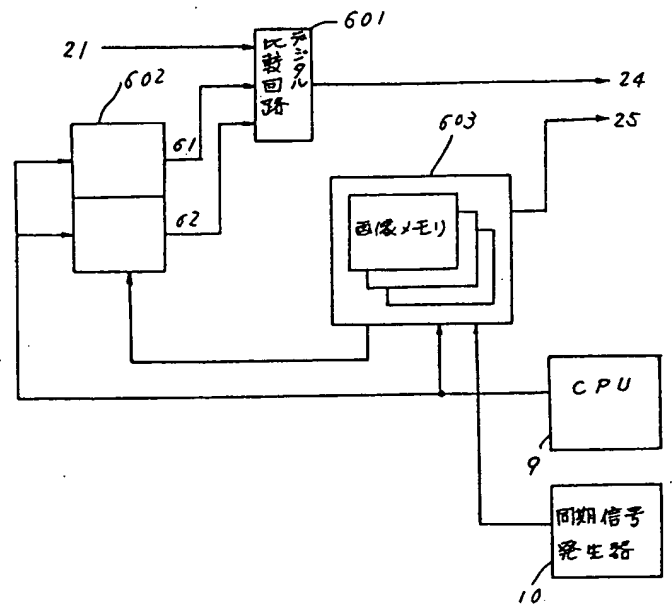
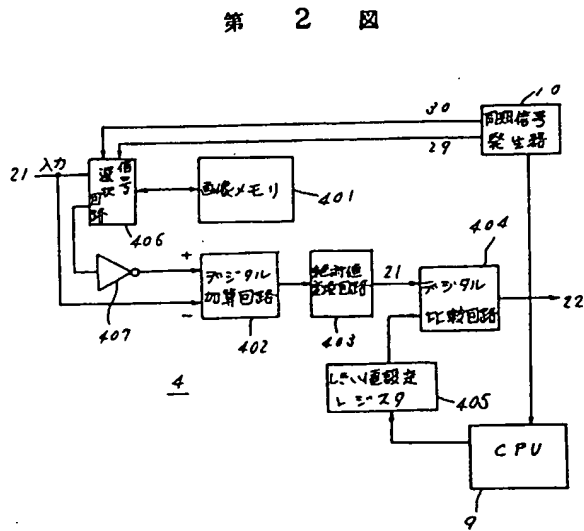
代理人 弁理士 小川 勝男



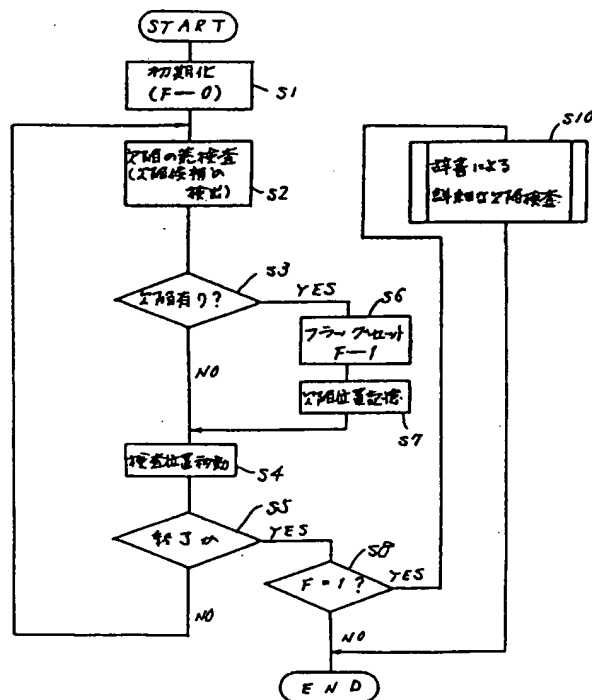
第 1 図



第 3 図



第 4 図



Translation of Ref. 1 (JP-A-61-245007)

DEFECT INSPECTING DEVICE

Technical Field of the Invention

This invention is related in general to an inspection technology and a technology especially effective in application to defect inspection based on an image pattern, e.g. a technology for inspecting a defect of a semiconductor chip in which a semiconductor integrated circuit is formed.

Background of the Invention

In case of pattern inspection of a semiconductor chip in which a semiconductor integrated circuit is formed, for example, image pattern of that semiconductor chip is read out electrically and a defect is detected and extracted from the image pattern thus read out.

The means for detecting and extracting the defect are roughly classified into two types.

In one type of defect detecting/extracting means, comparison is made in one and one correspondence between an input image pattern and a reference pattern and a decision is made indiscriminately whether a defect is present or not based on the extent of coincidence between both patterns. The decision criterion is indiscriminate and any mismatch exceeding a predetermined level is regarded as a defect.

In another type of defect detecting/extracting means, a large number of dictionary patterns registered for each part are used and the state of defect is examined in detail for each input image pattern with reference to the dictionary patterns. The decision criterion is variant depending on the position or the type of the input image pattern and the defects are sorted and examined in detail.

The former defect detecting/extracting means can detect a defect at high speed but since the decision criterion is indiscriminate, the decision is made roughly and a misjudgment is made frequently.

The latter defect detecting/extracting means can detect a defect appropriately and accurately with reference to a large number of dictionary patterns but it takes a long time for making a decision and thereby it can not be

applied easily to mass production process for inspecting defect of a large quantity of articles.

The inventor found that conventional defect inspection devices have a problem that it is difficult to satisfy both inspection speed and accuracy.

A pattern recognition technology being employed in such type of defect inspection devices is described "Nikkei Mechanical" June 21, 1982, p77-79, published by Nikkei MacGraw-Hill Co., for example.

Purpose of the Invention

It is an object of the invention to provide a defect inspection technology in which defect inspection can be conducted quickly and highly accurately based on an input image pattern.

The above and other objects and novel features of the invention will be apparent from following specification and the accompanying drawings.

Summary of the Invention

A representative embodiment of the disclosed invention can be summarized as follows.

The inventive device comprises a first means for roughly extracting a candidate defect, and a second means for examining the defect in detail and the second means examines only the candidate defect extracted by the first means in detail thus achieving the purpose of quick and highly accurate inspection of defect.

Preferred Embodiment

The invention will be more clearly understood by reference to the following description of a preferred embodiment when read in conjunction with the accompanying drawings in which like reference characters refer to like parts throughout the drawings.

Figure 1 shows an embodiment of defect inspection device according to the invention.

The defect inspection device shown on the drawing inspects the defect of an article to be inspected based on the image pattern thereof and characterized in that

through the data selector 8.

A synchronization signal generator 10 delivers predetermined synchronization signals H, V to respective parts. H represents a horizontal synchronization signal and V represents a vertical synchronization signal. An image is read out in synchronism with the synchronization signals H, V. The synchronization signal generating circuit 10 operates based on a command 28 from the general controller 9.

An article 1 to be inspected, e.g. a semiconductor wafer, is mounted on an XY stage 11. In response to a synchronization signal F from the synchronization signal generator 10, the XY stage 11 performs feeding operation of the article 1 in synchronism with the read out of image. The image input unit 2 reads out only a part of the article 1 but since the XY stage 11 performs feeding operation in the XY direction, the article 1 can be scanned and read out entirely.

Figure 2 shows the rough defect extracting section 4 in detail. As shown on the drawing, the rough defect extracting section 4 comprises an image memory 401, a digital adder circuit 402, an absolute value converting circuit 403, a digital comparison circuit 404, a threshold value setting register 405, a signal selection circuit 406, and a logical inversion circuit 407.

In the drawing, the digitized input image signal 21 is inputted to one addition input (+) of the digital adder circuit 402 with an image pattern represented by that signal being stored, in the form of bit pattern, on an image memory 401. The digital adder circuit 402 has the other addition input (+) receiving a previously inputted image signal through the logical inversion circuit 407. The adder circuit 402 outputs the difference between the previously inputted image signal and a current image signal every time when the image signal is inputted. The absolute value converting circuit 403 takes the absolute value of the difference. The absolute value 21' of the difference is compared with a reference threshold value by the digital comparison circuit 404 and the comparison results are delivered as the decision output 22 (Figure 1).

Figure 3 shows the precise defect extracting section 5 in detail. As shown on the drawing, the precise defect extracting section 5 comprises a digital comparison circuit 601, a threshold value table 602, and a dictionary image memory 603.

In the drawing, the digital comparison circuit 601 and the threshold value table 602 perform normalization for comparing the input image signals 21. The threshold value table 802 comprises an ROM, for example, and issues two threshold values 61, 62 of upper and lower limits defining a level of predetermined range. Each level of these two threshold values 61, 62 is selected based on a command from the controller 9.

Figure 4 shows the operation of the aforementioned device.

In the drawing, operation of the first defect extracting means progresses steps s2 through s5. More specifically, in the steps s2 through s5, image patterns at corresponding parts of two articles to be inspected are compared simply with each other and a candidate defect is extracted roughly from the extent of mismatch thereof. Step s1 is an initialization routine and essential processing is effected through the loop of steps s2 through s5.

Operation of the second defect extracting means takes place at step s10. More specifically, at the step s10, defect of the image pattern is judged in detail with reference to a large number of dictionary patterns.

If no candidate defect is detected after executing the loop of steps s2 through s5 repeatedly by a predetermined number of times, inspection is ended by the flag check ($F=1?$) at step s8 without executing the step s10.

If at least one candidate defect is detected during execution of the loop of steps s2 through s5, branch routines s6, s7 are executed, the flag F is set at 1 and the position of the candidate defect is stored. After the loop of steps s2 through s5 is executed a predetermined number of times, flag check is conducted at step s8 before second defect extraction routine is executed at step s10. In the second defect extraction routine, only the candidate defect at the positions stored in step s7 is judged in detail. Consequently, decision results identical to those for precise defect judgment of substantially all input images can be attained by simply judging only a part of image pattern which may possibly contain a defect in detail without requiring a precise judgment of substantially all input image patterns.

Inspection of defect based on an input image pattern can thereby be conducted quickly with high accuracy.

Alternatively, any one of the first defect extraction through steps s2-s5 or the

second defect extraction at step s10 may be executed selectively according to a control program of the controller.

Effect of the Invention

(1) Inspection of defect can be conducted quickly with high accuracy by providing a first means for roughly extracting only a candidate defect and a second means for judging the defect in detail and judging only the candidate defect extracted by the first means in detail.

Although an embodiment of the present invention has been described in detail, it should be understood that the invention is not limited to the embodiment but various modification can be made without departing from the spirit and scope of the invention.

Although the present invention has been described concerning to its background application field, i.e. the pattern inspection technology of a semiconductor chip, the invention is not limited thereto but it is also applicable to the pattern inspection technology of a printed board or other printed matters.

Brief Description of Drawings

Figure 1 is a block diagram showing an embodiment of a defect inspection device according to the present invention;

Figure 2 is a block diagram showing a part of Figure 1 in detail;

Figure 3 is a block diagram showing other part of Figure 1 in detail;

Figure 4 is a flow chart showing the operation of the device shown on Figure 1.

1...article to be inspected, 2...image input unit, 4...rough defect extracting section as first defect extracting means, 5...position detecting circuit, 6...precise defect extracting section as second defect extracting means, 7...feature extracting/comparing circuit, 9...general controller

WHAT IS CLAIMED IS:

1. A defect inspection device for inspecting the defect of an article to be inspected based on the image pattern thereof characterized in that the defect inspection device comprises a first defect judging means for roughly extracting a candidate defect part from an input image pattern read out electrically from the article to be inspected, and a second defect extracting means for judging the defect only of an image pattern at the candidate defect part roughly extracted by the first defect extracting means in detail.
2. A defect inspection device as set forth in claim 1 characterized in that the first defect extracting means is arranged to compare the image patterns at corresponding parts of two articles to be inspected with each other and to roughly extract a candidate defect from the extent of coincidence thereof, and the second defect extracting means is arranged to judge the defect of an image pattern at the part roughly extracted by the first defect extracting means in detail with reference to a dictionary pattern.

例を示すブロック図。

第2図は第1図の一部を詳細に示すブロック図。

第3図は第1図の他の部分を詳細に示すブロック図。

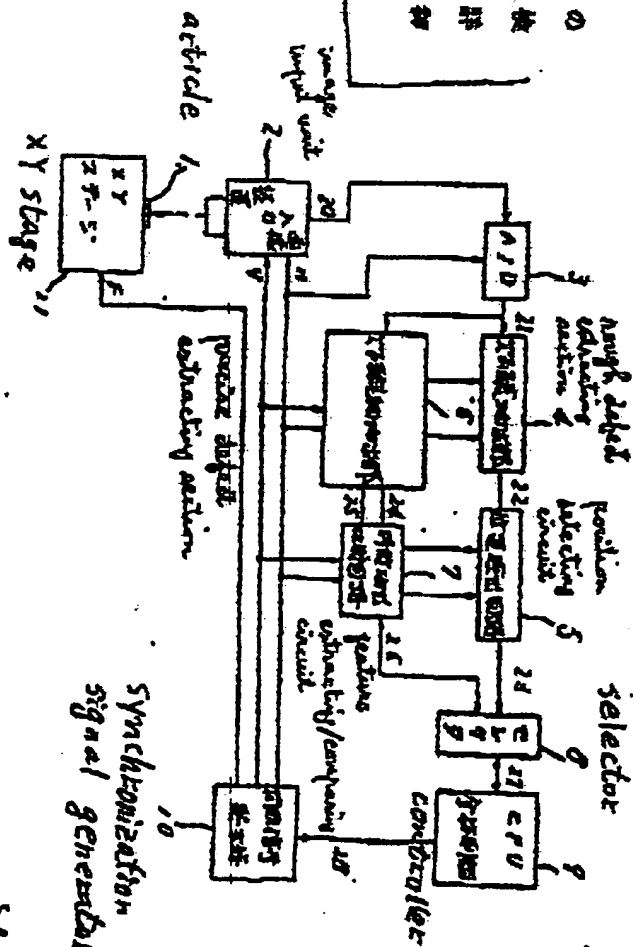
第4図は第1図に示した装置の動作を示すフローチャートである。

1...被検物体、2...画像入力用取、4...第1の欠陥検出手段としての欠陥検出部、5...位置検出回路、8...第2の欠陥検出手段としての欠陥検出部、7...特徴抽出比較回路、9...全体制御用取。

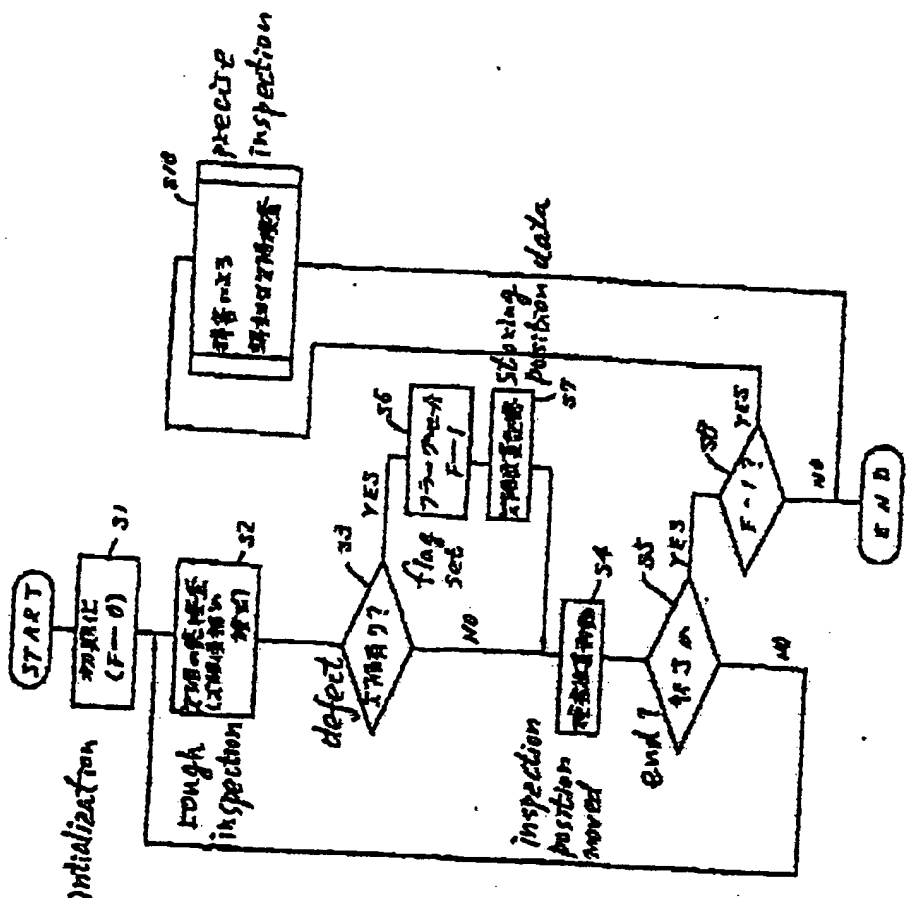
代理人 井原士 小川 勝男



第 1 図



第 4 圖



JP-A-61-245007